

# 软件无线电 FPGA 编程实践案例

( 临菲信息技术港公众号图文 )

软件无线电在无线通信、无人机、物联网和机器人通信等领域具有重要的应用前景，伴随着无线通信的进步，特别是人工智能应用于无线通信的发展，软件无线电的研发和应用必将受到更大的关注。

本文介绍软件无线电 FPGA 编程实践案例，可供工程技术人员学习，也可用于构建实际通信系统。

本文提供的硬件和软件已在实际应用中获得验证。

## 一、硬件平台

硬件平台采用临菲电科研制的 LE-DSR-V4 信号处理板。

主要元器件及指标：

- FPGA : XC4VLX25FF668
- PROM : XCF08PVO48
- ADC : AD6640AST , 12-Bit , 65MSPS
- DAC : AD9744ARU , 14-Bit , 210MSPS
- $\pm 0.5V$  直流供电 , 工作电流小于 0.5A

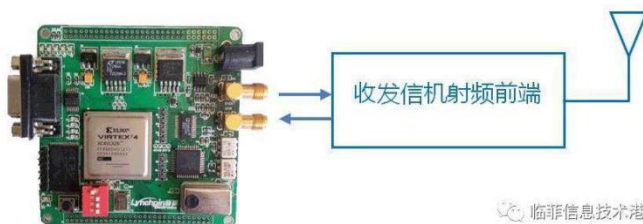


LE-DSR-V4 信号处理板

LE-DSR—V4 信号处理板是重庆临菲电子科技有限公司开发的一款低成本无线通信基带信号处理板，集成了大规模可编程逻辑器件和高精度高速模数、数模转换器件，提供 108 个扩展 I/O 口。该信号处理

板已应用于无线通信系统，也可作为无线通信和信号处理的开发验证平台。

LE-DSR-V4 可以独立作为信号处理开发板，也可以方便地配置射频收发部件，构成实用的软件无线电产品。（该板子曾用于视频传输实用系统）



具有丰富的接口和 ADC/DAC，便于配置实用系统

## 二、案例 1 —— BPSK ( QPSK、8PSK ) 基带实现

BPSK、QPSK 和 8PSK 是经典的数字调制解调，掌握它们的 FPGA 实现，对于掌握通用软件无线电的开发技术具有奠基意义。

### 目标

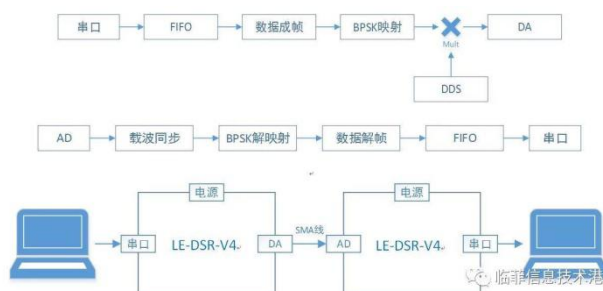
通过 BPSK、QPSK、8PSK 完整流程的 FPGA 编程实现，掌握无线通信基带信号处理 FPGA 编程技术。为简便，下面以 BPSK 为例。

### 内容

发送端采用 50MHz 时钟，通过 FPGA 内部 DCM 输出最高工作时钟为 160M；载波频率为 10MHz，用 DDS 产生；数据速率为 125kByte/s。接收端采用相干解调；AD 时钟采用 40MHz；下变频以及载波跟踪。

### 结果

测试时间 5 分钟，发送端不停发送数据，在有线传输的条件下误码率为 0。



## BPSK 设计框图和仿真环境

## 设计要点

- 发送端
- 数据源：串口，速率 11520。
- 发端时钟：FPGA 采用 50MHz 时钟，通过 FPGA 内部 DCM 输出最高工作时钟为 160M。
- 帧结构：

帧头	数据区 ( 32BYTE )	帧尾
0xEb90EB9 0	数据	0x09BE09BE

- 数据速率：125kByte/s。
- 并串转换：Most significant bit first ( 高位先出 )。  
经过并串转换后的数据速率为 1Mbit/s。
- 星座映射  
BPSK 简单的星座映射：1->1，0->-1。
- 载波：10M。用 DDS 产生。
- DA 时钟：160M。
- DA 输出的数据波形和频谱  
由发端频谱可看出，载波频率为 10M，数据带宽为 2M。

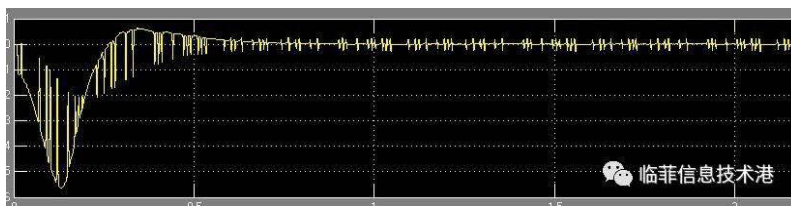


DA 输出波形和频谱

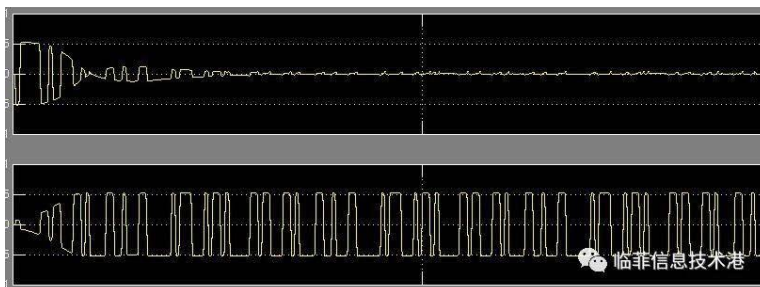
### 接收端

接收端采取相干解调的方式。

- AD 时钟采用 40MHz
- 下变频以及载波跟踪
- 数据判决：大于 0 为 1，小于 0 为 0.
- 数据恢复：通过帧头帧尾的判决恢复出数据。恢复的数据存入 FIFO。
- Uart：速率 115200.



环路滤波输出的跟踪曲线



I、Q 两路输出

### 三、案例 2 —— OFDM 发射机基带处理实现

OFDM 是无线通信新技术的典型代表，涉及的技术比较复杂，掌握其工程实现技术对于增强技术开发能力具有不可或缺的作用。

本文只涉及 OFDM 发射机基带信号处理，如有对接收机的需求，请见文后联系方式。

#### 目标

掌握 OFDM 基带发射信号的设计方法及其 FPGA 实现技术。

#### 内容

完整 OFDM 信号的设计与 FPGA 实现，包括：卷积编码、交织、扰码、QPSK 调制、帧头和导频设计、IFFT 及加 CP、数字上变频、PAR 抑制、DA 输出。

#### 设计要点

- 数据接口  
数据由串口输入，串口速率定为 115200。
- 数据缓存  
FPGA 接收串口数据后，放入 FPGA 内部的 FIFO 中缓存，缓存大小为 1024\*8bit。
- 数据速率  
FIFO 的读取速率为 125kByte/s，然后将从 FIFO 读出的数据进行并串转换，数据速率变成 1Mbits/s。
- 卷积编码  
本设计采用 1/2 码率编码，code0 是 '1111001'，code1 是 '1011011'，采用 Xilinx 公司的 ipcore 来实现。  
采用 1/2 码率进行编码后，数据速率由原来的 1Mbits/s 变成 2Mbits/s。
- 交织  
本设计采用矩形交织，交织深度为 8\*12。输入比特按列写入，按行读出。交织不改变数据的速率。
- 扰码  
扰码的目的是抑制线路码中的长连“0”和长连“1”。扰码模块采用的比特序列为：

1,1,1,1,1,1,0,0,0,1,1,1,0,1,1,0,0,0,1,0,1,0,0,1,0,1,1,1,1,1,0,1,0,1,0,  
1,0,0,0,0,1,0,1,1,0,1,1,1,1,0,0,1,1,1,0,0,1,0,1,0,1,1,0,0,1,1,0,0,0,0,0,  
1,1,0,1,1,0,1,0,1,1,1,0,1,0,0,0,1,1,0,0,1,0,0,0,1,0,0,0,0,0,0,1,0,0,1,0,  
0,1,1,0,1,0,0,1,1,1,1,0,1,1,1,0,0,0,0

本设计中，将扰码存入 FPGA 的 ROM 中，按照时序读出与数据进行异或，对数据进行加扰。

- QPSK 调制

1bit 串行数据输入后，进行串并变换，将数据位宽变为 2bit，然后根据映射表进行星座映射。映射规则为：1->1;0->-1。

- 帧头

帧头包括 17 个 OFDM 符号。帧头数据存在 FPGA 内部的 Rom 里，按照时序读出。帧头具体内容参阅设计报告。

- 导频

OFDM 系统对频率偏差非常敏感，为了在接收机种能够有效的消除频偏，需要在 OFDM 符号中插入导频序列。

本设计中每隔 13 个子载波插入一个参考信号，总共需要在 4 个子载波上插入参考信号。这 4 个子载波序号为 (-21, -7, 7, 21)，基本参考信号为[1, 1, 1, -1]，其中导频极性采用扰码所用的 m 序列进行相应的变化。

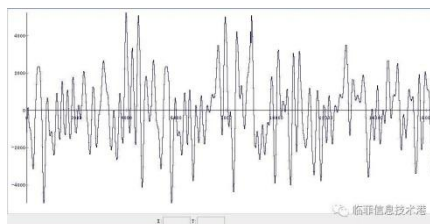
- IFFT 以及加 CP

本设计采用 128 点的 IFFT，加 32 点的 CP。IFFT 及加 CP 功能用 Xilinx 公司的 ipcore 实现。

- DUC+PAR 抑制

- DA 输出

DA 位数为 14bit，时钟为 160M。



削峰后的输出波形



DA 输出波形

#### 四、其它

- OFDM 接收机基带信号处理的 FPGA 实现
- 直接序列扩频通信基带系统的 FPGA 实现
- 16QAM 的 FPGA 实现

如有需求，请联系：

[ilyncpin@lynchpin.com.cn](mailto:ilyncpin@lynchpin.com.cn)

( 本文原载：微信公众号“临菲信息技术港” )

